

Patent Abstracts of Japan

PUBLICATION NUMBER : 11097705
PUBLICATION DATE : 09-04-99

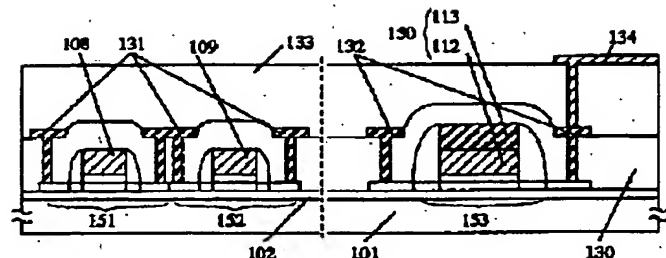
APPLICATION DATE : 23-09-97
APPLICATION NUMBER : 09276574

APPLICANT : SEMICONDUCTOR ENERGY LAB CO LTD;

INVENTOR : ISHII FUTOSHI;

INT.CL. : H01L 29/786 H01L 21/336

TITLE : SEMICONDUCTOR INTEGRATED CIRCUIT



ABSTRACT : PROBLEM TO BE SOLVED: To form a circuit of a low electric resistance and a finely processible circuit on the same substrate with a smaller number of steps, by superimposing a substance having a higher conductivity than crystalline silicon onto a part of a gate electrode of a second transistor made of crystalline silicon.

SOLUTION: Thin film transistors(TFTs) 151, 152 and 153 are formed on a substrate 101 having an insulating surface, with an underlying film 102 provided between the substrate and thin film transistors. Gate electrodes 108 and 109 of the TFTs 151 and 152 are made of conductive crystalline silicon. On the other hand, a gate electrode 150 of the TFT 153 is made by forming a substance 113 of high conductivity on conductive crystalline silicon 112. Since the gate electrodes 108 and 109 can be finely processible to an extent of submicron, a peripheral circuit having a high degree of integration can be formed. Since the gate electrode 150 has a high conductivity, it can be used for a pixel switching TFT of a display circuit of a large area.

COPYRIGHT: (C)1999,JPO

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-97705

(43) 公開日 平成11年(1999) 4月9日

(51) Int. Cl. ⁶

H01L 29/786

21/336

識別記号

F I

H01L 29/78

617 N

612 B

616 A

617 M

617 L

審査請求 未請求 請求項の数13 F D (全13頁)

(21) 出願番号 特願平9-276574

(22) 出願日 平成9年(1997) 9月23日

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 張 宏勇

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 坂倉 真之

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 石井 太

神奈川県厚木市長谷398番地 株式会社半

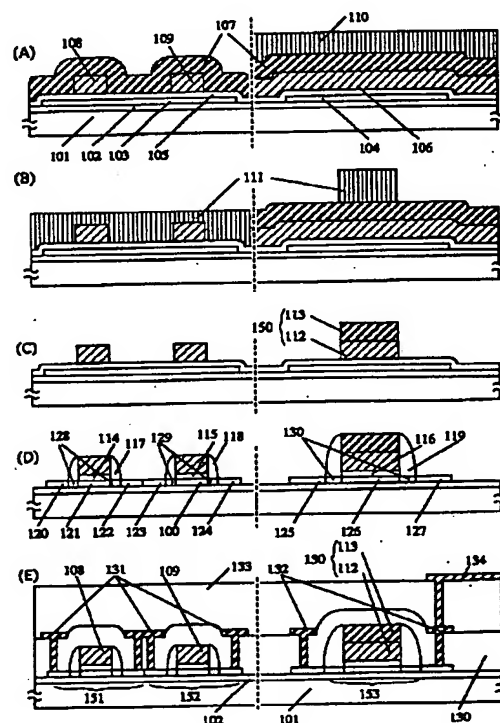
導体エネルギー研究所内

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 ゲイト電極に対して、低電気抵抗が求められる回路と、微細加工性が求められる回路とが、同一基板上に形成される半導体集積回路を、少ない工程数で作製を可能とし、また素子の性能の低下を抑えて、小型、低消費電力、高機能の半導体集積回路を得ることを課題とする。

【解決手段】 基板上に、第1及び第2のトランジスタを有し、前記第1のトランジスタのゲイト電極は、結晶性珪素であり、前記第2のトランジスタのゲイト電極は、結晶性珪素と、該結晶性珪素上の少なくとも一部に、前記結晶性珪素より導電率が高い物質が設けられてなることを特徴とする。



【特許請求の範囲】

【請求項1】基板上に、第1及び第2のトランジスタを有し、

前記第1のトランジスタのゲート電極は、結晶性珪素であり、

前記第2のトランジスタのゲート電極は、結晶性珪素と、該結晶性珪素上の少なくとも一部に、前記結晶性珪素より導電率が高い物質が設けられてなることを特徴とする半導体集積回路。

【請求項2】請求項1において、結晶性珪素より導電率が高い物質は、金属または該金属を主成分とする物質であることを特徴とする半導体集積回路。

【請求項3】請求項1～2において、第1のトランジスタのゲート電極の結晶性珪素と、第2のトランジスタのゲート電極の結晶性珪素は、概略同じ厚さを有していることを特徴とする半導体集積回路。

【請求項4】請求項1～3において、第2のトランジスタのゲート電極の幅は、第1のトランジスタのゲート電極の幅より大きいことを特徴とする半導体集積回路。

【請求項5】請求項1～4において、第1及び第2のトランジスタは、ゲート電極の側面にサイドウォールスペーサが設けられ、

前記サイドウォールスペーサの底辺の大きさに従った大きさのLDD領域を有し、

前記サイドウォールスペーサのチャネル長方向の長さは、前記第1のトランジスタより、前記第2のトランジスタの方が長いことを特徴とする半導体集積回路。

【請求項6】請求項2～12において、結晶性珪素と、該結晶性珪素より導電率の高い物質は、少なくとも一部において概略同一パターンを有して設けられていることを特徴とする半導体集積回路。

【請求項7】請求項6において、結晶性珪素と、該結晶性珪素より導電率の高い物質は、ゲート電極全体に渡って概略同一パターンを有して設けられていることを特徴とする半導体集積回路。

【請求項8】請求項6において、結晶性珪素と、該結晶性珪素より導電率の高い物質は、少なくともチャネル形成領域上において概略同一パターンを有して設けられていることを特徴とする半導体集積回路。

【請求項9】同一基板上に、第1の回路と第2の回路とが設けられた半導体集積回路において、

前記第1の回路及び前記第2の回路は、それぞれ複数のトランジスタを有しており、

前記第1の回路の複数のトランジスタは、結晶性珪素となるゲート電極を有し、

前記第2の回路の複数のトランジスタは、結晶性珪素上の少なくとも一部に、前記結晶性珪素より導電率の高い物質が設けられたゲート電極を有し、

前記第1の回路のゲート電極は、前記導電率の高い物質で作製可能な幅より小さい幅を有することを特徴とする

半導体集積回路。

【請求項10】請求項9において、第1の回路の駆動電圧より第2の回路の駆動電圧が高いことを特徴とする半導体集積回路。

【請求項11】請求項9～10において、第2の回路は、アクティブマトリクス表示回路であり、第1の回路は、前記アクティブマトリクス表示回路の周辺回路であることを特徴とする半導体集積回路。

【請求項12】請求項11において、前記周辺回路はエリアイメージセンサ回路であることを特徴とする半導体集積回路。

【請求項13】請求項1～11において、結晶性珪素は、導電性を付与する不純物を含有することを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本明細書で開示する発明は、絶縁表面を有する基板上に形成される半導体集積回路を構成する、薄膜トランジスタのゲート電極に関する。本明細書で開示する発明は、同一基板上に異なる複数の集積回路を設ける半導体集積回路に関する。本明細書で開示する発明は、同一基板上にアクティブマトリクス型表示回路と、周辺駆動回路、イメージセンサ等の他の周辺回路とを設けた、周辺回路一体型の電気光学表示装置に関する。

【0002】

【従来の技術】近年、アクティブマトリクス型表示回路を用いた、液晶表示装置やEL（エレクトロルミネッセンス）表示装置等の電気光学表示装置が盛んに開発されている。

【0003】アクティブマトリクス型表示回路は、各画素にTFT（薄膜トランジスタ）を設けて、画素毎にスイッチングを行って表示を駆動するものである。

【0004】また、最近では、活性層が結晶性珪素（結晶構造が、微結晶、多結晶、微結晶又多結晶と非晶質の混在状態（セミアモルファス）、単結晶である珪素）でなるTFTを用いて、絶縁表面を有する一基板上に、液晶表示装置、EL（エレクトロルミネッセンス）表示装置等のアクティブマトリクス型表示回路と、周辺回路とを設けた、周辺回路一体型の電気光学表示装置の開発が盛んである。

【0005】周辺回路一体型電気光学表示装置は、従来の、アクティブマトリクス表示回路が設けられた基板に、周辺回路をTAB法やCOG法により接続する方法に比較して、低コスト化、高集積化、小型化、高機能化を図ることができる。

【0006】このような周辺回路一体型の電気光学表示装置の周辺回路としては、現在は、シフトレジスタやデコーダ、レベルシフト回路、等の回路が主に設けられている。これらは、近年の結晶性珪素膜の質の向上によ

り、高速動作が可能な極めて優れた性能を有するようになっている。

【0007】アクティブマトリクス駆動をする回路は、行ごとまたは列ごとに一度に信号を供給するため、行ごと又は列ごとの各TFTに共通の配線（走査線、信号線）が設けられている。これらは、TFTのソースまたはゲイトに接続されている。

【0008】電気光学表示装置のアクティブマトリクス表示回路の大きさは、対角数〜数10インチに達する。そのため、各画素のTFTに信号を供給するための、走査線や信号線は、線幅は数〜数10 μ mと極めて細いのに対し、長さは数〜数10cmと、単結晶珪素基板を用いたLSI等では考えられないような長さである。

【0009】電気光学表示装置のアクティブマトリクス表示回路は、このような細く長い配線を有するため、電界を印加するだけで大きな電流を流すことは要求されない、ゲイト電極（TFTのゲイトをスイッチングするための配線）であっても、配線の電気抵抗による駆動信号の遅延、劣化が大きな問題となる。

【0010】そのため、ゲイト電極を構成する物質としては、アルミニウム、タンタル、モリブデン、タングステン、銅等の電気抵抗の低い金属が用いられ、駆動信号の遅延や劣化を防いでいた。

【0011】

【発明が解決しようとする課題】しかし、金属でなる配線は、1 μ m以下程度の微細な線幅への加工は困難である。

【0012】例えば、アルミニウムでは、幅1 μ m以下程度の微細なデザインルールでパターンニングを行うと、結晶粒が数100nm以上の粒径を有するため、結晶粒の形状が、形成された配線パターンの周辺に現れ、直線的なパターンニングができない。

【0013】さらに、このような微細なデザインルールによる配線は、線幅に対するアルミニウムの結晶粒が大きいため、結晶粒の欠けなどが発生して断線を招きやすく、信頼性が下がってしまう。

【0014】他方、単結晶珪素基板を用いたLSIにおいては、商品レベルで、デザインルールとして0.35 μ mルールで作られた微細加工、高集積化されたものが出現している。

【0015】単結晶珪素基板を用いたLSIでは、集積度を高くするために、ゲイト電極を構成する材料として、燐などの一導電型を付与する不純物が添加された導電性を有する結晶性珪素（またはシリサイド）を用いる。この結晶性珪素でなるゲイト電極は、電気抵抗は金属より1桁以上高いが、幅1 μ m以下、例えば0.1 μ m程度の微細な加工が可能である。

【0016】ゲイト電極は、電界を印加してゲイトをオンにするためのものなので、電流を流すソース・ドレインに接続される配線ほど、低い電気抵抗は要求されな

い。そのため、単結晶珪素基板を用いたLSI規模の、配線長の短い集積回路では、ゲイト電極として結晶性珪素（またはシリサイド）を利用することができる。

【0017】結晶性珪素でなるゲイト電極は、ゲイト電極の幅が微細化できるので、その結果トランジスタは小型化され、かかるトランジスタを用いることで高集積化された回路を実現できる。

【0018】また、ゲイト電極幅が狭くなることで、TFTの駆動電圧（ソース・ドレイン電圧）を低くできる。その結果、TFTの消費電力を低減できる。

【0019】しかし、表示面積の大きいアクティブマトリクス表示回路においては、ゲイト電極として結晶性珪素を用いると、結晶性珪素は導電率が低く、電気抵抗が大きいため、信号の遅延や劣化が生じ、良好な表示が行えなくなる。

【0020】したがって、従来の周辺回路一体型の電気光学表示装置の場合、ゲイト電極を構成する物質は、アクティブマトリクス表示回路のみならず、周辺回路においても金属が用いられている。なかでも、導電率が高く、加工性に優れ、汚染の心配の少ないアルミニウムまたはアルミニウムを主成分とする物質が、ゲイト電極として広く用いられている。

【0021】その結果、従来の周辺回路一体型の電気光学表示装置においては、アクティブマトリクス表示回路と同一基板上に形成される周辺回路としては、シフトレジスタやデコード等の比較的単純で集積度の低い周辺回路のみを設け、他の回路は外付けしていた。

【0022】もちろん、ゲイト電極として金属を用いても、より複雑で素子数の多い周辺回路を組むことはできる。しかしその場合、線幅は数 μ m以上と太いため、周辺回路が占有する基板上の面積が大きくなり、装置が大型化してしまう。また、消費電力も大きくなる。

【0023】このように、周辺回路一体型の電気光学表示装置においては、TFTのゲイト電極に対し、アクティブマトリクス表示回路においては、低電気抵抗が求められ、周辺回路においては、微細加工性が求められる。

【0024】しかし、双方の条件を同時に満たす物質はない。かといって、アクティブマトリクス表示回路に用いられるTFTと、周辺回路に用いられるTFTにおいて、金属ゲイト電極を有するTFTと、結晶性珪素ゲイト電極を有するTFTとを、単純に作り分けた場合、工程数が大幅に増えて、かえってコストがかかり、周辺回路一体型とする意味が薄れる可能性がある。

【0025】また、作り分けを行った場合、TFTの素子としての性能の劣化という問題があることを、本出願人は知見した。この劣化とは、しきい値電圧の変動、S値の劣化、移動度の低下、信頼性の低下等である。

【0026】この問題は、特にトップゲイト型のTFTにおいて顕著となる。図4に、一般的な工程を用いて、結晶性珪素ゲイト電極と金属ゲイト電極とを作りわけ

工程を示す。図4において、左側が結晶性珪素ゲイト電極を有するTFT、右側が金属ゲイト電極を有するTFTを示す。

【0027】同一基板上に結晶性珪素ゲイト電極と、金属ゲイト電極とを作り分ける場合、結晶性珪素の方が、金属より高温で作製され、かつ耐熱性が高いため、先に形成することになる。

【0028】図4(A)において、下地膜402が形成された基板401上の珪素活性層403、404上にゲイト絶縁膜となる酸化珪素等の絶縁膜405が形成され

ている。その上に、ゲイト電極となる結晶性珪素膜406をLPCVD法により形成する。

【0029】次に、結晶性珪素膜406をパターンニングして、2つのTFTを設けるための結晶性珪素ゲイト電極407を得る。

【0030】この際、金属ゲイト電極が設けられる側の活性層404の、絶縁膜上の結晶性珪素膜は、すべてエッチング除去される。

【0031】ところが、このエッチング工程により、ウェットエッチングであってもドライエッチングであっても、ゲイト絶縁膜となる絶縁膜405の上面408が荒れてしまう。

【0032】特に、一般的によく用いられるドライエッチングでは、エッチング時のプラズマの影響で、絶縁膜内に電荷がチャージされたり、トラップ準位が形成されることもある。さらに絶縁膜405下の珪素活性層404の表面さえも荒れてしまう可能性がある。

【0033】その結果、後にこの絶縁膜405をゲイト絶縁膜として、金属ゲイト電極409を形成したとしても、ゲイト絶縁膜とゲイト電極との界面特性が不十分となり、TFTの性能が劣化してしまう。この劣化とは、しきい値電圧の変動、S値の劣化、移動度の低下等を招いてしまう。また、これらの要因が潜在的に存在し、時間の経過に伴い症状が現れることもある。その結果長期にわたる信頼性を確保できない。

【0034】かかる従来技術の問題点を考慮し、本明細書で開示する発明は、アクティブマトリクス表示回路と周辺回路を同一基板上に設ける電気光学表示装置のような、ゲイト電極に対して、低電気抵抗が求められる回路と、微細加工性が求められる回路とが、同一基板上に形成される半導体集積回路を、少ない工程数で作製を可能とし、また素子の性能の低下を抑えて、小型、低消費電力、高機能の半導体集積回路を得ることを課題とする。

【0035】特に、良好な表示を行えるアクティブマトリクス表示回路と、高集積化、低消費電力の周辺回路とを同一基板上に有する周辺回路一体型の電気光学表示装置を得ることを課題とする。

【0036】

【課題を解決するための手段】上記課題を解決するために、本明細書で開示する構成は、基板上に、第1及び第

2のトランジスタを有し、前記第1のトランジスタのゲイト電極は、結晶性珪素であり、前記第2のトランジスタのゲイト電極は、結晶性珪素と、該結晶性珪素上の少なくとも一部に、前記結晶性珪素より導電率の高い物質が設けられてなることを特徴とする半導体集積回路である。

【0037】かかる構成において、結晶性珪素より導電率の高い物質は、金属または該金属を主成分とする物質であればよい。

【0038】また、第1のトランジスタのゲイト電極の結晶性珪素と、第2のトランジスタのゲイト電極の結晶性珪素は、概略同じ厚さを有していることが好ましい。

【0039】また、第2のトランジスタのゲイト電極の幅は、第1のトランジスタのゲイト電極の幅より大きいことが好ましい。

【0040】また、第1及び第2のトランジスタは、ゲイト電極の側面にサイドウォールスペーサが設けられ、前記サイドウォールスペーサの底辺の大きさに従った大きさのLDD領域を有し、前記サイドウォールスペーサのチャンネル長方向の長さは、前記第1のトランジスタより、前記第2のトランジスタの方が長いことが好ましい。

【0041】結晶性珪素と、該結晶性珪素より導電率の高い物質は、少なくとも一部において概略同一パターンを有していればよい。

【0042】また、結晶性珪素と、該結晶性珪素より導電率の高い物質は、ゲイト電極全体に渡って概略同一パターンを有して設けられていることは好ましい。

【0043】また、結晶性珪素と、該結晶性珪素より導電率の高い物質は、少なくともチャンネル形成領域上において概略同一パターンを有して設けられていることは好ましい。

【0044】本明細書で開示する他の構成の一つは、同一基板上に、第1の回路と第2の回路とが設けられた半導体集積回路において、前記第1の回路及び前記第2の回路は、それぞれ複数のトランジスタを有しており、前記第1の回路の複数のトランジスタは、結晶性珪素であるゲイト電極を有し、前記第2の回路の複数のトランジスタは、結晶性珪素上の少なくとも一部に、前記結晶性珪素より導電率の高い物質が設けられたゲイト電極を有し、前記第1の回路のゲイト電極は、前記導電率の高い物質で作製可能な幅より小さい幅を有することを特徴とする半導体集積回路である。

【0045】かかる構成において、第1の回路の駆動電圧より第2の回路の駆動電圧が高いことは好ましい。

【0046】また、第2の回路は、アクティブマトリクス表示回路であり、第1の回路は、前記アクティブマトリクス表示回路の周辺回路であることは好ましい。

【0047】また、前記周辺回路はエリアイメージセンサ回路であることは好ましい。

【0048】上記した結晶性珪素は、導電性を付与する不純物を含有するものである。導電性を付与する不純物とは、3価または5価の不純物、例えば、磷、ホウ素等である。

【0049】本明細書で開示する発明は、同一基板上に、ゲート電極に対して、低電気抵抗が求められる回路と、微細加工性すなわち細い線幅が求められる回路とを設ける半導体集積回路において、アクティブマトリクス表示回路のような、ゲート電極に、低電気抵抗が求められるTFTまたはそれを含む回路においては、ゲート電極を、導電性を付与する不純物を含有する結晶性珪素上に、導電率の高い物質として金属または該金属を主成分とする物質とを設けたものとし、他方、シフトレジスタ、制御回路、MPU、エリアイメージセンサ、メモリ等、ゲート電極に微細加工が求められるTFT、またはそれを含む回路においては、従来のLSIの如く、ゲート電極を、導電性を付与する不純物を含有する結晶性珪素により構成する。

【0050】構成は、同一基板上に、微細加工性に優れたゲート電極と、低電気抵抗を有するゲート電極とを、少ない工程数で形成できるものである。

【0051】本発明においては、導電性を付与する不純物を含有する結晶性珪素より導電率の高い物質として、金属または該金属を主成分とする物質を、導電性を付与する不純物を含有する結晶性珪素を介して設けるが、結晶性珪素による電気抵抗の低下はさほど問題とならず、結晶性珪素でなるゲート電極の、 $1/\text{数} \sim 1/\text{数}10$ の電気抵抗(シート抵抗(Ω/cm^2)))とすることができ

る。

【0052】また、本発明構成は、従来の結晶性珪素ゲート電極を設ける工程に、数工程加えるだけで済む。すなわち、工程の増加がほとんどない。

【0053】また、チャネル形成領域上の結晶性珪素膜をエッチング除去することがないため、ゲート絶縁膜上面の荒れが本質的に発生しない。そのため、ゲート電極とゲート絶縁膜との界面を良好に保つことができ、優れた特性のTFTが得られる。

【0054】さらに、LDD領域を設けた場合、結晶性珪素上に、導電率の高い物質を設けたゲート電極を有するTFTは、結晶性珪素ゲートTFTに比較して、導電率の高い物質の分だけゲート電極の厚さが厚くなる。この構成を利用して、このようなゲート電極に対しサイドウォールスペーサを形成することで、セルフアライン的にサイドウォールスペーサのチャネル長方向の長さが異なるTFTを同一工程で形成することができる。

【0055】本明細書に開示の発明により、ゲート電極に対して、低電気抵抗が求められる回路と、微細加工性が求められる回路とが、同一基板上に形成される半導体集積回路の作製が容易となり、高い性能のトランジスタを用いて、小型、高集積度、低消費電力、高機能の半導

体集積回路を得ることができる。

【0056】

【発明の実施の形態】以下に、本明細書で開示する発明の実施の形態を、実施例により説明する。

【0057】

【実施例】

【実施例1】図1に実施例1における半導体集積回路の構成を示す。実施例1では、周辺回路一体型のアクティブマトリクス型液晶電気光学表示装置を構成するアクティブマトリクス基板(アクティブマトリクス液晶表示回路が設けられた基板)について示す。

【0058】図1(E)に、本実施例で示すアクティブマトリクス基板の構成を示す。なお、符号は図1(D)も参照されたい。

【0059】本実施例では、アクティブマトリクス表示回路の画素スイッチング素子としてTFT153を用い、アクティブマトリクス表示回路を駆動するためのシフトレジスタ等の周辺回路を、TFT151、152で構成する例を示す。

【0060】図1(E)において、絶縁表面を有する基板101上に、必要に応じて下地膜102を介して、TFT(薄膜トランジスタ)151、152、153が設けられている。

【0061】TFT151、152のゲート電極108、109は、導電性を付与する不純物を含有して導電性を有する結晶性珪素でなる。以下、かかる構成のゲート電極を結晶性珪素ゲート電極と記載する。

【0062】他方、低電気抵抗が求められるTFT153のゲート電極150は、導電性を有する結晶性珪素112上に、高導電率を有する物質として、金属または該金属を主成分とする物質113が設けられて構成されている。以下、かかる構成のゲート電極を、金属-珪素ゲート電極と記載する。

【0063】本実施例においては、TFT151はPチャネル型、152はNチャネル型であり、相補型(CMOS)構成としている。

【0064】ゲート電極108、109、150の側面には、必要に応じて、活性層にLDD領域128、129、130を形成するためのサイドウォールスペーサ117、118、119が設けられていてもよい。

【0065】TFT151は、ソース領域120、チャネル形成領域121、ドレイン領域123が形成された活性層上に、ゲート絶縁膜114を介して結晶性珪素ゲート電極108が設けられている。

【0066】TFT152は、ソース領域123、チャネル形成領域100、ドレイン領域124が形成された活性層上に、ゲート絶縁膜115を介して結晶性珪素ゲート電極109が設けられている。

【0067】TFT151、152において、層間絶縁膜130を介してソース電極又はドレイン電極131が

設けられている。

【0068】TFT153は、ソース領域125、チャネル形成領域126、ドレイン領域127が形成された活性層上に、ゲイト絶縁膜116を介して金属-珪素ゲイト電極150が設けられている。

【0069】また、層間絶縁膜130を介してソース電極又はドレイン電極132が設けられ、その一方は、層間絶縁膜133を介して、液晶を駆動するための画素電極134に接続される。

【0070】結晶性珪素ゲイト電極108、109の厚さは、200nm～800nm、好ましくは30nm～500nm、例えば400nmを有する。

【0071】結晶性珪素ゲイト電極108、109の幅(チャネル長方向の長さ)は、金属-珪素ゲイト電極150の幅より細くすることができる。ここでは0.1μm～4μm、好ましくは0.1μm～2μm、例えば0.5μmとした。

【0072】TFT153の金属または該金属を主成分とする物質112としては、アルミニウム、タンタル、モリブデン、タングステン、チタン、銅等の金属が利用20
できる。さらに、これら金属の少なくとも一種を主成分として、他種の金属、例えばシリコン、タングステン等を混合したものを用いてもよい。あるいは、チタン/アルミニウム/チタン等の異種金属の積層膜として、コンタクト特性の向上を図ってもよい。

【0073】TFT151、152の結晶性珪素ゲイト電極108、109は、結晶性珪素であるため、サブミクロン(1μm以下)の微細加工が可能である。そのため、これを用いて集積度の高い周辺回路を設けることができる。

【0074】他方、TFT153の金属-珪素ゲイト電極150は、金属または該金属を主成分とする物質を積層しているため、信頼性を確保するために線幅を数μm、例えば2μm以上とする必要があり、サブミクロンレベルでの微細加工には適さない。しかし、導電率は、結晶性珪素またはそのシリサイドを含むゲイト電極に比較して、数～数十倍であり、シート抵抗で数分の1～数10分の1程度低くすることができる。

【0075】そのため、大面積のアクティブマトリクス表示回路の画素のスイッチング用のTFT(画素TFT)のゲイト電極として用いることで、ゲイト信号の劣40
化・遅延を低減できる。

【0076】本実施例では、金属-珪素ゲイト電極150の、導電性を有する結晶性珪素112の厚さは、結晶性珪素ゲイト電極108、109と同一とする。また、金属または該金属を主成分とする物質113の厚さは、100nm～600nm、例えば300nmを有する。

【0077】本実施例では、金属-珪素ゲイト電極150のほぼすべての電極長に渡って、導電性を有する結晶性珪素112と、金属または該金属を主成分とする物質50

113は、概略同一パターンを有している。これは、両者が一つのマスクに基づいてパターンニングされているからである。

【0078】したがって、本実施例においては、導電性を有する結晶性珪素112と、金属または該金属を主成分とする物質113とは、ゲイト電極150の電極長のいずれの箇所においても幅が概略等しい。幅は、加工可能範囲であれば構わない。ここでは5μmを有する。

【0079】金属-珪素ゲイト電極150において、導電性を有する結晶性珪素112上に、金属または該金属を主成分とする物質113が、少なくともTFTのチャネル形成領域上の領域において、概略同一パターンに設けられていると、LDD領域を形成するためのサイドウォールスペーサ119を良好に形成できる。

【0080】サイドウォールスペーサ119は、その上に成膜される酸化珪素等の絶縁性の膜を異方性エッチングして形成される。そのため、ゲイト電極の高さに比例して、サイドウォールスペーサのチャネル長方向の長さが変化する。

【0081】金属-珪素ゲイト電極150の側面が平坦な垂直面を形成していると、サイドウォールスペーサは、が当該側面に密着して形成され、かつ、金属-珪素ゲイト電極の上層の金属または該金属を主成分とする物質113の高さに最も近い高さを有せしめることができ、サイドウォールスペーサのチャネル長方向の長さを最大とすることがきる。その結果、LDD領域が正確に形成され、かつLDD領域のチャネル長方向の長さを長くできる。

【0082】チャネル形成領域126上のゲイト電極150において、上層の金属または該金属を主成分とする物質113の幅が、下層の導電性を有する結晶性珪素112の幅より大きければ、結晶性珪素112との間に隙間が生じ、サイドウォールスペーサが良好に形成されない。その結果、LDD領域がサイドウォールスペーサの下側に正確に形成されない可能性がある。

【0083】逆に言えば、サイドウォールスペーサが良好に形成され、LDD領域がサイドウォールスペーサの下側に正確に形成される範囲であれば、上層の幅の方が大きくても、上層と下層の幅の相違は、本発明でいう概略同一パターンの範囲である。

【0084】逆に、上層の幅より下層の幅が大きい場合、概略同一パターンに設けた場合に比較して、サイドウォールスペーサのチャネル長方向の長さは、短くなる。そしてゲイト電極が導電性を有する結晶性珪素112のみの場合と同じ長さが最小値となる。

【0085】逆に言えば、上層より下層が大きくても、サイドウォールスペーサのチャネル長方向の長さが、導電性を有する結晶性珪素112のみの場合より長ければ、すなわち、サイドウォールスペーサ117、118より長ければ、上層と下層の幅の相違は、本発明でいう

概略同一パターンの範囲である。

【0086】金属-珪素ゲイト電極150の、導電性を有する結晶性珪素112は、結晶性珪素ゲイト電極108、109と同一の膜から形成されることが、工程数を低減する意味で好ましい。その結果、製造工程にもよるが、結晶性珪素ゲイト108、109と、金属-珪素ゲイト150の導電性を有する結晶性珪素112は概略同一の高さ(厚さ)を有する。すなわち、金属-珪素ゲイト電極150は、その高さが、導電性を有する結晶性珪素112より、金属または該金属を主成分とする物質113の分だけ高くなる。

【0087】そのため、サイドウォールスペースを、公知の絶縁性の膜を成膜後異方性エッチングする方法で作製すると、金属-珪素ゲイト150のサイドウォールスペース119のチャンネル長方向の長さは、結晶性珪素ゲイト電極のサイドウォールスペース117、118のチャンネル長方向の長さより長くなる。

【0088】その結果、LDD領域130のチャンネル長方向の長さは、LDD領域128と129のチャンネル長方向の長さより長くなる。これにより、TFT153は、TFT151、152より、耐電圧性を向上させることができる。

【0089】本実施例に示す構成は、このようなチャンネル長方向の長さの異なるLDDを、従来と全く同一のサイドウォールスペース(LDD)形成工程を用いて、同一基板上に一度で形成することができるという特徴を有する。

【0090】例えば、アクティブマトリクス表示回路の画素スイッチング用TFTは、周辺回路の駆動信号より大きな電圧がソース・ドレイン間に印加されるため、周辺回路を構成するTFTより耐電圧性を高める必要がある。その為、LDD領域のチャンネル長方向の長さを、周辺回路を構成するTFTのLDD領域より大きくすることが望まれる。本実施例で開示する発明は、このような構成を、工程数を増やすことなく、セルフアライン的に実現できる。

【0091】本実施例に示す構成において、結晶性珪素ゲイト電極108、109は、少なくとも一部を金属と化合したシリサイドとし、電気抵抗の低減、オーミックコンタクト特性の向上を図ってもよい。

【0092】また、ゲイト電極150の金属または該金属を主成分とする物質113上面には、弱酸を用いて陽極酸化した緻密な陽極酸化膜(バリア型陽極酸化膜)を有していてもよい。膜厚は10nm~150nm程度、例えば50nmとする。この陽極酸化膜があると、金属または該金属を主成分とする物質113の耐熱性を向上させ、後の加熱工程におけるヒロックの発生を防止できる。

【0093】本実施例に開示する発明においては、金属-珪素ゲイト電極150の少なくとも一部において、導

電性を有する結晶性珪素112上に、金属または該金属を主成分とする物質113とが設けられていれば、かかるゲイト電極の電気抵抗は低減される。もちろん、1つのゲイト電極全体にわたって、導電性を有する結晶性珪素112上に、金属または該金属を主成分とする物質113が設けられていれば、ゲイト電極の電気抵抗は最も小さくなる。

【0094】本実施例で示す金属-珪素ゲイト電極150は、導電性を有する結晶性珪素112上に、金属または該金属を主成分とする物質113が、概略同一パターンで形成されていれば、金属または該金属を主成分とする物質113においてパターンニング可能な幅の下限值(例えば1μm)までのパターンニングが、金属-珪素ゲイト電極150において可能であるので、従来の金属ゲイト電極のみを用いた構成に比較して、集積度、微細加工性が劣ることはない。その結果、金属-珪素ゲイト電極150も、従来の金属配線と同程度の微細化が可能である。

【0095】本実施例の構成により、アクティブマトリクス表示回路の大きさが、対角数~10数インチの面積であっても、ゲイト信号の劣化、遅延が少なく、良好な表示が得られると共に、全て金属でなるゲイト電極を用いた従来の周辺回路一体型の集積回路と比較して、周辺回路のより一層の高集積化を図ることができる。その結果、アクティブマトリクス表示領域の周辺の表示に関係のない領域(いわゆる額縁領域)の、基板上を占める面積を縮小でき、装置の小型化に寄与することができる。

【0096】さらに、周辺回路においては、ゲイト電極の幅をサブミクロンルールで実現できたため、駆動電圧を5V以下程度の低電圧で動作させることができ、消費電力を大幅に低減できる。

【0097】〔実施例2〕実施例2では、実施例1で示したアクティブマトリクス基板の作製工程を示す。図1において、左側に記載されているのが、結晶性珪素ゲイト電極108、109を有するTFT151、152であり、右側に記載されているのが、金属-珪素ゲイト電極150を有するTFT153である。

【0098】まず、絶縁表面を有する基板101を用いる。絶縁表面を有する基板101としては、ガラス、石英、セラミックス、表面を酸化した単結晶珪素基板等が使用できる。ここでは、コーニング1737ガラスを用いる。

【0099】絶縁表面を有する基板101上に、必要に応じて下地膜102として酸化珪素膜をスパッタ法、プラズマCVD法等により、100nm~200nm、例えば100nmの厚さに形成する。

【0100】次に、TFTの活性層となる結晶性珪素膜を膜厚30nm~300nm、例えば、50nmに公知の方法で形成する。形成された結晶性珪素膜は、TFT

の活性層を構成する島状領域 103、104 にパターンニングされる。

【0101】結晶性珪素膜として、ニッケル等の結晶性を助長する触媒元素によって結晶性が助長されたものを用いてもよい。かかる結晶性珪素膜は、微量ながら触媒元素を含んでいる。

【0102】その後、ゲイト絶縁膜となる酸化珪素膜 105 を、プラズマ CVD 法、スパッタ法、熱酸化法等により形成する。膜厚は 50 nm ~ 300 nm、ここでは 100 nm に形成する。

【0103】なお、n チャネル型 TFT のしきい値を制御するため、活性層となる結晶性珪素膜にホウ素を含有させてもよい。その場合、レーザ光、熱、強光等で活性化を行うことが好ましい。

【0104】次に、ゲイト電極となる、導電性を有する結晶性珪素膜を、双方の TFT が設けられる領域上に形成する。ここでは、原料ガスとして、 SiH_4 と PH_3 を用いた LPCVD 法により、600℃ で成膜し、不純物元素として燐を含有する N 型の結晶性珪素膜を得る。膜厚は、200 nm ~ 800 nm、好ましくは 300 ~ 600 nm、ここでは 400 nm とした。

【0105】不純物元素としては、燐、ホウ素等、3 価または 5 価の、結晶性珪素膜に一導電性を付与する元素を用いることができる。

【0106】他の方法としては、不純物を添加させずに結晶性珪素膜を形成した後、イオン注入法により一導電性を付与する不純物元素、例えば燐をドーピングしてもよい。このイオン注入工程後、レーザ光、熱等により活性化し、結晶性を回復させることが好ましい。

【0107】次に、結晶性珪素膜をエッチングして、結晶性珪素ゲイト電極 108、109 と、金属-珪素ゲイト電極を有する TFT 153 の領域上の結晶性珪素膜 106 を得る。エッチングは、本実施例では、 CH_4 と O_2 を用いた RIE (反応性イオンエッチング) により、異方性エッチングを行う。結晶性珪素膜 106 は、後に金属-珪素ゲイト電極 150 が形成可能な程度に残存すればよい。

【0108】次に、金属-珪素ゲイト電極 150 を形成するための金属膜 107 の成膜を行う。金属膜としては、アルミニウム、タンタル、モリブデン、タングステン、チタン、銅等の金属膜、またはこれらに他の元素を混合した物質、あるいはこれらいずれかの異なる種類の膜を複数積層した積層膜を用いることができる。

【0109】本実施例では、スパッタ法により、スカンジウムを 2 wt % 含有したアルミニウム膜を、膜厚 200 nm ~ 600 nm、ここでは 300 nm に成膜した。アルミニウムに、珪素やスカンジウムを含有させることで、後の加熱工程におけるヒロックやホイドの発生を低減できる。

【0110】金属膜 107 を成膜した後、必要に応じて

弱酸を用いて陽極酸化を施して、金属膜表面に緻密な陽極酸化膜 (バリア型陽極酸化膜) を形成する。特にアルミニウム膜においては、表面に緻密な陽極酸化を施すことで、耐熱性を向上させてヒロックの発生を防ぐことができる。陽極酸化膜の膜厚は、10 nm ~ 150 nm、ここでは 50 nm とした (図示せず)。

【0111】次に、金属-珪素ゲイト電極を有する TFT 153 が形成される領域上にレジスト 110 を形成する。(図 1 (A))

【0112】次に、レジスト 110 をマスクとして金属膜 107 をエッチングし、結晶性珪素ゲイト TFT 151、152 が形成される領域上の金属膜を全て除去する。

【0113】その後、結晶性珪素ゲイト TFT 151、152 が形成される領域と、金属-珪素ゲイト電極 150 が形成される領域の上に、レジスト 111 を形成する。(図 1 (B))

【0114】このレジスト 111 をマスクとして、金属膜 107 ここではアルミニウム膜と結晶性珪素膜 106 を一度にエッチング、パターンニングする。すなわち、アルミニウム膜と結晶性珪素膜を、同一マスクに基づいてエッチングする。エッチングは反応気体として、 Cl_2 / BCl_3 / SiCl_4 を用い、RIE で行った。

【0115】これにより、導電性を有する結晶性珪素 112 上に金属または該金属を主成分とする物質 113 が、概略同一パターンを有して設けられた、金属-珪素ゲイト電極 150 が得られる。(図 1 (C))

【0116】ここで示した方法は、金属-珪素ゲイト電極 150 を形成するにあたり、金属膜と結晶性珪素膜を一度にエッチングするため、ゲイト電極 150 の側面を、金属膜と結晶性珪素膜とで面の揃った、ほぼ垂直な面とするためには有効である。ゲイト電極の側面を揃えることで、後の工程で作製されるサイドウォールスペーサ 119 を制御性良く、ゲイト電極との隙間が生じないように形成することができる。

【0117】なお、本明細書で開示する発明は、かかる方法のみに限定されるものではない。本実施例に示した以外方法においても、同一基板上に結晶性珪素ゲイト電極と金属-珪素ゲイト電極とを形成することは可能である。

【0118】次に、ゲイト電極 108、109、150 をマスクとして、酸化珪素膜 108 をエッチングし、ゲイト絶縁膜 114、115、116 を得る。

【0119】続いて、ソース・ドレイン領域を形成する。公知のイオン注入法により、ゲイト電極をマスクとして要求される導電型に応じたイオン注入を行う。ここでは、TFT 151 が P チャネル型、TFT 152、153 が N チャネル型となるようにする。

【0120】本実施例では、LDD 領域 (低濃度不純物領域、ライトドーピングドレイン領域) を形成する。そのた

10

20

30

40

50

め、先のイオン注入は、後にLDD領域となる場所も含めて、ゲイト電極108、109、150をマスクとして行われる。その際、各活性層に打ち込まれる不純物イオンの濃度が小さく(n^- 、 p^-)となるようなライトドープを行う。

【0121】次に、サイドウォールスペーサとなる材料として、酸化珪素膜、または多結晶珪素膜等を成膜した後、異方性エッチングを行なう。そして、サイドウォールスペーサ117、118、119を得る。

【0122】実施例1でも述べたが、ゲイト電極108、109の側面に形成されたサイドウォールスペーサ117、118より、ゲイト電極150の側面に形成されたサイドウォールスペーサ119の方が、チャンネル長方向の長さが長くなる。これは、ゲイト電極150の厚さ(高さ)が、ゲイト電極108、109より、金属または該金属を主成分とする物質が存在する分だけ、厚くなるためである。

【0123】このため、後に形成されるサイドウォールスペーサ119の下側に形成されるLDD領域の方が、サイドウォールスペーサ117、118の下側に形成されるLDD領域より、チャンネル長方向の長さが長く形成される。その結果、TFT151、152より、TFT153の方が、耐電圧特性の向上を図ることができる。この構成をセルフアライン的に実現できる点は、本実施例で示す発明の特徴的な構成の一つである。

【0124】その後、各ゲイト電極及び各サイドウォールスペーサをマスクとして、不純物イオンの濃度が多く(n^- 、 p^-)となるようなヘビードープを行う。なお当然のことながら、これらのイオン注入はNチャンネル型TFTとPチャンネル型TFTが作製できるように、公知の方法でイオンを打ち分ける。

【0125】結晶性珪素ゲイト電極108、109には、このとき不純物イオンが注入される。したがって、この工程においても不純物イオンの注入は可能である。

【0126】その後、レーザ光等によりアニールを行い、活性層のイオンが打ち込まれた場所の活性化を行う。この工程により、結晶性珪素ゲイト電極も活性化される。

【0127】このようにして、結晶性珪素ゲイト電極108を有するPチャンネル型TFT151のソース領域120、チャンネル形成領域121、ドレイン領域122、LDD領域128が形成される。

【0128】また、結晶性珪素ゲイト電極109を有するNチャンネル型TFT152のソース領域123、チャンネル形成領域100、ドレイン領域124、LDD領域129が形成される。

【0129】また、金属-珪素ゲイト電極150を有するTFT153(ここではNチャンネル型)のソース領域125、チャンネル形成領域126、ドレイン領域127、LDD領域130が形成される。(図1(D))

【0130】その後、第1層間絶縁膜130、ソース電極又はドレイン電極131、132、第2層間絶縁膜133、画素電極134を、公知の方法により形成する。

【0131】このようにして、同一基板上において、結晶性珪素ゲイト電極を、微細加工、低消費電力が求められる周辺回路のTFTに設け、金属-珪素ゲイト電極を、低電気抵抗、高耐電圧性が求められるアクティブマトリクス表示回路のTFTに設けることができる。(図1(E))

【0132】〔実施例3〕本実施例では、実施例2の方法において、結晶性珪素ゲイト電極と、金属-珪素ゲイト電極を作製する方法の他の例を示す。図2を用いて説明する。図2において、図1と同符号のものは同一のものを指す。また、特に示さない限り、条件等は実施例2と同じである。

【0133】本実施例では、図2(A)において、ゲイト絶縁膜となる絶縁膜105を形成した後、導電性を有する結晶性珪素膜201及び金属または該金属を主成分とする物質の膜202を、実施例1と同様にして作製する。次に、金属-珪素ゲイト電極を形成する領域に、レジスト203を形成する。(図2(A))

【0134】次に、レジスト203をマスクとして、金属または該金属を主成分とする物質の膜202、ここではスカンジウムが2wt%添加されたアルミニウム膜をエッチングする。

【0135】エッチングは、ここでは磷酸、硝酸、酢酸の混合(アルミ混酸)を用いてウェットエッチング行う。もちろん、ドライエッチングでもよい。

【0136】その後、結晶性ゲイト電極を形成するためのレジスト205を形成する。そして、レジスト205とパターニングされたアルミニウム204をマスクとして、結晶性珪素膜201をエッチングする。

【0137】このようにして、結晶性珪素ゲイト電極206、207と、金属-珪素ゲイト電極208を得る。後の工程は、実施例2と同様である。

【0138】〔実施例4〕本実施例は、同一基板上にアクティブマトリクス型表示回路と、エリアイメージセンサ回路とを設けた、イメージセンサー一体型パネルの構成において、本発明を適用した例を示す。

【0139】エリアイメージセンサ回路は、アクティブマトリクス表示回路と同じく、画素スイッチング用TFTを有するアクティブマトリクス回路である。

【0140】アクティブマトリクス表示回路の画面サイズが対角12インチだと、ゲイト電極を含め、配線の幅は5 μ m(5 μ mルール)でよい。しかし、画面サイズが大きいため、ゲイト電極は、ゲイト信号の遅延を低減させるためには、電気抵抗の低いゲイト電極とする必要がある。

【0141】他方、エリアイメージセンサ回路は、1/4~1/2インチしかないため、同じ画素数を実現する

ために、配線の幅は $1\mu\text{m}$ ($1\mu\text{m}$ ルール)を採用する必要がある。しかし、ゲート信号の遅延は問題にならないため、ゲート電極に特に電気抵抗の低いものを用いる必要がない。

【0142】本実施例で示す構成は、このような条件を、高いレベルで満たすことができる。

【0143】図3(a)に、本実施例で示す、アクティブマトリクス型エリアイメージセンサ回路と、アクティブマトリクス型表示回路が設けられた、周辺回路一体型液晶電気光学表示装置のアクティブマトリクス基板の上 10 面図を示す。

【0144】図3(a)において、絶縁表面を有する基板301上に、アクティブマトリクス表示回路351、該回路を駆動するための周辺回路354、アクティブマトリクス型エリアイメージセンサ回路、該回路を駆動するための周辺駆動回路354が設けられている。

【0145】図3(b)において、結晶性珪素ゲート電極を有するTFT303は、アクティブマトリクス型エリアイメージセンサ回路353の画素スイッチング素子として、アクティブマトリクス回路を構成している。 20

【0146】なお、図3(a)の周辺駆動回路352、354の構成は、本実施例では特に示さないが、当該回路においては、実施例1で示した結晶性珪素ゲートTFTを用いばよい。

【0147】また、金属-珪素ゲート電極を有するTFT300は、アクティブマトリクス型表示回路351の画素スイッチング素子として、アクティブマトリクス回路を構成している。

【0148】図3(b)において、絶縁表面を有する基板301上に、下地膜302を介して、結晶性珪素ゲート電極を有するTFT303と、金属-珪素ゲート電極を有するTFT300が形成されている。 30

【0149】結晶性珪素ゲート電極を有するTFT303の構成は、実施例1のTFT151と同一である。また、金属-珪素ゲート電極を有するTFT304の構成は、実施例1のTFT153と、同一の構成を有する。したがって、TFT303、300は、実施例2で示した作製工程で作製することができる。

【0150】結晶性珪素ゲート電極を有するTFT303は、層間絶縁膜314を介してドレイン電極304が 40 設けられ、これに層間絶縁膜315を介して画素電極305が接続されている。

【0151】画素電極305上には、n型非晶質珪素層306、I型非晶質珪素層307、p型非晶質珪素層、透光性の光入射電極309で構成される光電変換層が積層して設けられている。光入射電極309上には、平坦化用層間絶縁膜316が設けられる。

【0152】金属-珪素ゲート電極を有するTFT300は、層間絶縁膜314を介してドレイン電極310が 50 設けられ、これに層間絶縁膜315を介して中継電極3

11が接続されている。中継電極311は、層間絶縁膜316を介して、液晶材料に電界を印加する画素電極313に接続されている。また、層間絶縁膜315、316の間には、遮光膜(ブラックマトリクス)が設けられている。

【0153】このような構成により、同一基板上にアクティブマトリクス表示回路とエリアイメージセンサ回路を有する装置において、アクティブマトリクス表示回路におけるゲート信号の遅延を防ぐと共に、エリアイメージセンサ回路における、微細なパターニングを、少ない工程数にて可能とすることができる

【0154】その結果、アルミニウム等の金属ゲート電極のみを用いて形成されたイメージセンサ一体型表示パネルに比較して、イメージセンサ部の消費電力を低減でき、低消費電力の装置を得ることができる。

【0155】〔実施例5〕本実施例は、実施例1で示したアクティブマトリクス型液晶電気光学表示装置を用いた応用製品を説明する。本発明を応用した電子機器として、ビデオカメラ、スチルカメラ、プロジェクタ、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話)等が挙げられる。図9は本実施例の電子機器の概略外観図である。

【0156】図5(A)はモバイルコンピュータ(モバイルコンピュータ)であり、本体2001、カメラ部2002、受像部2003、操作スイッチ2004、液晶表示装置2005で構成される。

【0157】図5(B)はヘッドマウントディスプレイであり、本体2101、一対の液晶表示装置2102、本体を頭部に固定するためのバンド部2103で構成される。一対の液晶表示装置は左眼用の画像、右眼用の画像をそれぞれ表示される。使用者はこの画像を光学系を介して視覚する。すると目前に大画面が表示されているように視覚することができる。

【0158】図5(C)は携帯電話であり、本体2201、音声出力部2202、音声入力部2203、液晶表示装置2204、操作スイッチ2205、アンテナ2206で構成される。

【0159】図5(D)はビデオカメラであり、本体2301、反射型液晶表示装置2302、音声入力部2303、操作スイッチ2304、バッテリー2305、受像部2306で構成される。

【0160】実施例1で示したような、本明細書で開示の発明を用いた液晶電気光学表示装置は、周辺駆動回路の低消費電力化が実現できると、図5(A)~図5(D)に示したようなバッテリー駆動型の携帯型機器に好適である。

【0161】図5(E)はリア型プロジェクタであり、本体2401内部に配置された光源2402から出射した光は、反射型液晶表示装置2403の画素部で反射・

変調される。この反射光は偏光ビームスプリッタ 2504、リフレクタ 2505、2506 を経て、スクリーン 2507 に投影され、画像として表示される。

【0162】図 5 (F) はフロント型プロジェクタであり、本体 2501 において、光源 2502 からの光は透過型液晶表示装置 2503 で変調されて透過する。透過光は光学系 2504 によってスクリーン 2505 に投影され、画像が表示される。

【0163】〔実施例 6〕本実施例は、実施例 4 で説明した同一基板上にアクティブマトリクス型表示回路と、エリアイメージセンサ回路とを設けるイメージセンサー体型の液晶パネルの応用製品を説明する。図 6 に本実施例の電子機器の模式的な外観図を示す。

【0164】実施例 4 の液晶パネルは撮像機能を有する受光領域と、表示領域が一体的に設けられているため、TV 会議システム、TV 電話、インターネット用端末やパーソナルコンピュータ等の通信機能を備えた表示部に好適である。例えば、表示部で対話者の端末から送信された映像を見ながら、受光マトリクスで自身の姿を撮影して、対話者の端末にその映像を転送することのできるの

で、動画像を双方向通信することが可能である。

【0165】またこのような電子機器の 1 つとして、図 6 (A) に、液晶パネルを有するノート型パソコン 2030 を示す。2031 が液晶パネルであり、2032 がエリアイメージセンサ部である。

【0166】また他の電子機器として、図 6 (B) に、テレビ電話 2010 を示す。2011 が液晶パネルであり、2012 がエリアイメージセンサ部である。使用者は自身の姿をエリアイメージセンサ部 2012 で撮影しつつ、また液晶パネルにて 2011 通話相手の姿を見ながら通話することができる。

【0167】更に図 6 (C) にはペン入力型の携帯型情報端末機器 2020 を示す。2021 が液晶パネルであり、2021 がエリアイメージセンサ部である。エリアイメージセンサ 2021 により、名紙等の文字・図画情報を取り込んで、液晶パネル 2021 に表示したり、携帯型情報端末機器内にこれらの情報を保存できるようにになっている。

【0168】実施例 4 に示したイメージセンサー体型の液晶パネルは、エリアイメージセンサ回路の消費電力を、従来の全て金属配線で構成したものに比較して大幅に低減できる。よって、図 6 で示したような、バッテリー駆動型の電子機器に本発明は好適である。

【0169】

【発明の効果】本明細書に開示する構成により、同一基板上において、ゲート電極の微細加工性が求められる回路と低電気抵抗が求められる回路とを、簡潔な構成で、少ない工程数にて作り分けることが可能となり、優れた

装置を提供することができる。

【0170】本明細書に開示の発明により、アクティブマトリクス型表示回路と、制御回路、MPU (マイクロプロセッシングユニット)、メモリ (DRAM、SRAM、EPROM、EEPROM、フラッシュメモリ、強誘電性メモリ (FRAM))、イメージセンサ、入出力装置、A (アナログ) / D (デジタル) または D / A 変換装置などの回路をも同一基板上に設けた装置において、高集積化、低消費電力、良好な表示を実現できる。

【0171】そして、表示、データ入出力、演算、記憶、制御、画像読み取り、音声入出力、電波の送受信、等の各種機能を、一枚の基板上に複合化、集積化した、多機能のインテリジェントパネル、システム・オン・ガラス、システム・オン・チップをの実現することができる。

【0172】本明細書で開示のゲート電極の構成は、本明細書では主として薄膜トランジスタを用いた装置について示したが、あらゆる絶縁ゲート電界効果トランジスタに対して適用可能である。したがって、単結晶珪素基板、SOI (シリコン・オン・インシュレータ) 基板を用いた MOS トランジスタに対して、本明細書で開示のゲート電極の構成を適用しても効果的である。

【0173】この場合、アクティブマトリクス表示回路を構成するトランジスタのゲート電極の導電性を高め、ゲート信号の遅延、劣化を防ぎ、良好な表示を行うことができ、かつこのような構成を少ない工程数にて実現できる。

【図面の簡単な説明】

【図 1】 実施例の構成および作製工程を示す図。

【図 2】 実施例の作製工程を示す図。

【図 3】 実施例の構成を示す図。

【図 4】 従来の作製工程を示す図。

【図 5】 本明細書に開示する発明の応用例を示す図。

【図 6】 本明細書に開示する発明の応用例を示す図。

【符号の説明】

101 基板

102 下地膜

108 結晶性珪素ゲイト

109 結晶性珪素ゲイト

112 結晶性珪素

113 金属または該金属を主成分とする物質

117、118、119 サイドウォールスペース

128、129、130 LDD 領域

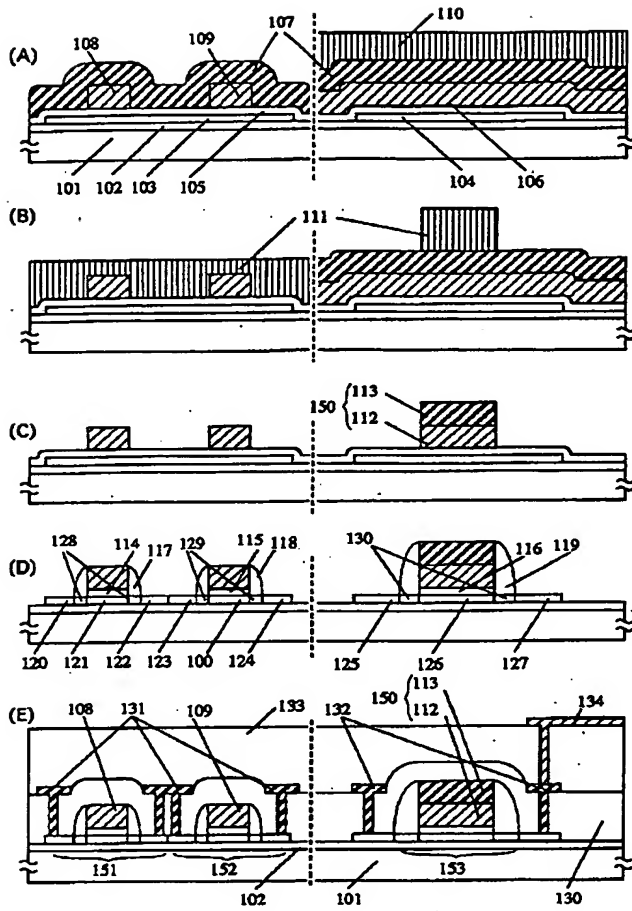
150 金属-珪素ゲイト

151 結晶性珪素ゲイトを有する TFT

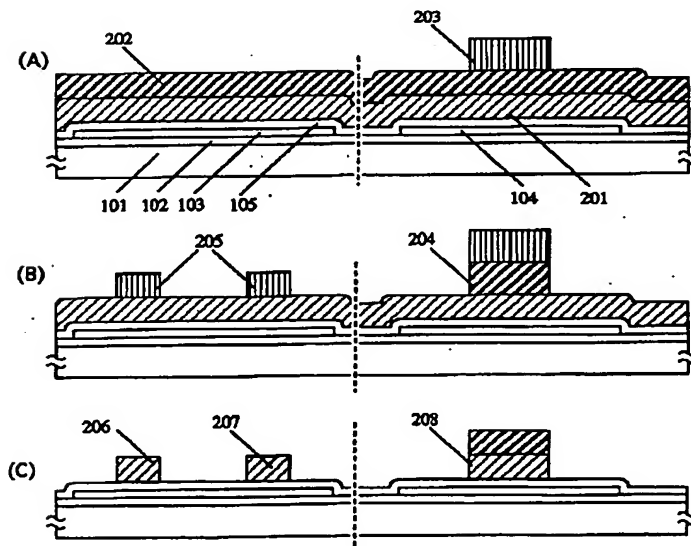
152 結晶性珪素ゲイトを有する TFT

153 金属-珪素ゲイトを有する TFT

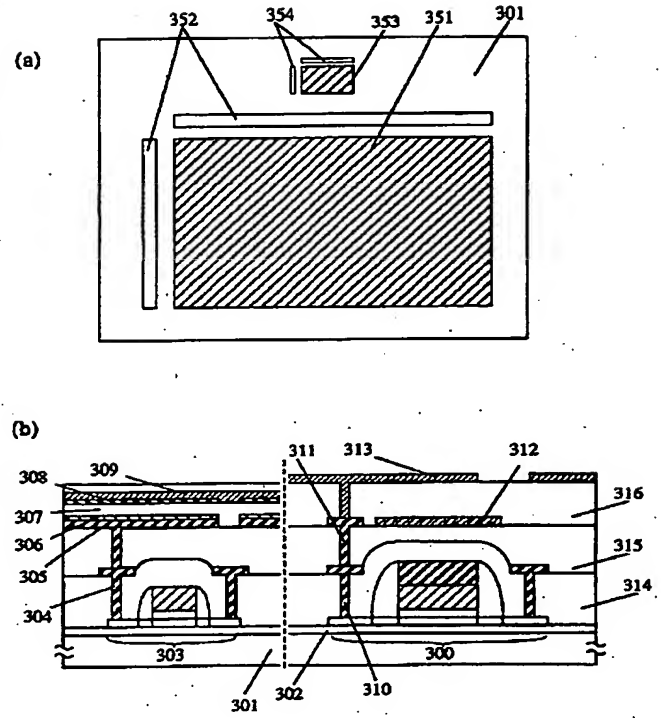
【図 1】



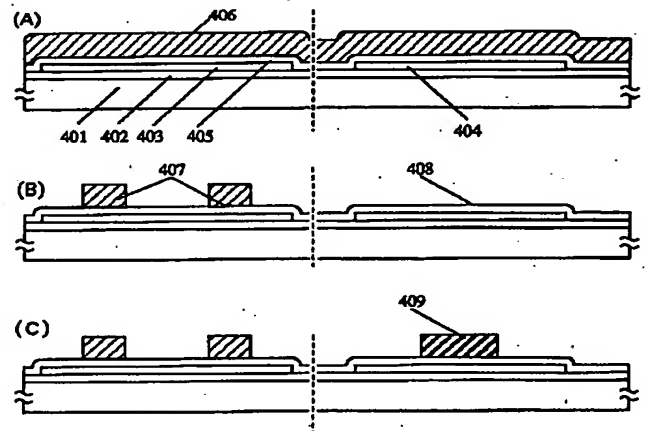
【図 2】



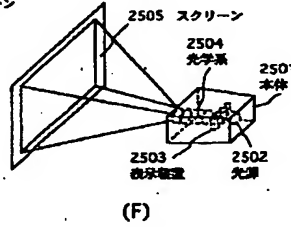
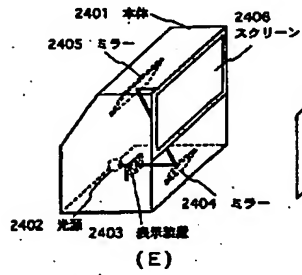
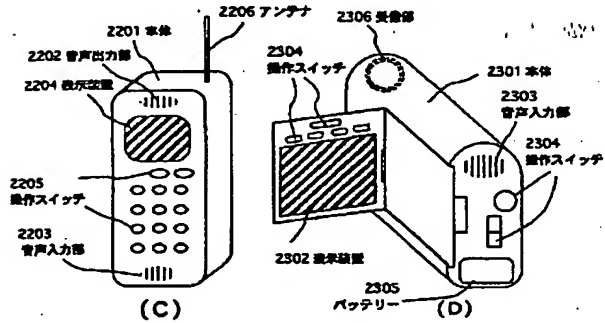
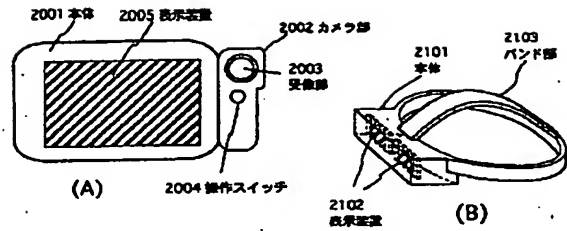
【図 3】



【図 4】



【図 5】



【図 6】

